

基于反熔丝的 FPGA 的测试方法

马金龙, 卢礼兵

(中国电子科技集团公司 第五十八研究所, 江苏 无锡 214035)

摘 要: 首先介绍了基于反熔丝的 FPGA 的典型结构, 接着介绍了基于反熔丝的 FPGA 的可编程逻辑模块 (PLM)、布局布线以及可编程互连资源, 然后讨论了基于反熔丝的 FPGA 的测试模式, 最后提出了一种 ATE 和实装板相结合的测试方法, 实验结果表明, 该测试方法在芯片未编程状态下, 实现了对基于反熔丝的 FPGA 的测试。

关键词: 反熔丝; FPGA; ATE; 实装板; 测试

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2016)08-0168-05

Test Methods for Antifuse-Based FPGAs

MA Jin-long, LU Li-bing

(The 58th Research Institute, China Electronics Technology Group Corp., Wuxi 214035, China)

Abstract: The classic architecture of antifuse-based FPGAs was described. Then the details about programmable logic module (PLM), placement and routing, programmable interconnection of antifuse-based FPGAs was presented. According to the test patterns of antifuse-based FPGA, a method for antifuse-based FPGA test, which combined ATE and mounting plate, was proposed. The results of the test experiments showed that the employed method can achieve successful test and confirmation of unprogrammed device at the factory.

Key words: antifuse; FPGA; ATE; mounting plate; test

1 引言

目前常见的三种 FPGA(现场可编程门阵列)分别是 SRAM、FLASH 和反熔丝 FPGA。反熔丝 FPGA 以数据非易失性、上电即行、可靠性高、保密性强等一系列优点被广泛应用于军事和卫星领域。反熔丝制造需要特殊工艺, 目前只有国外少数公司掌握了该技术, 国内对于反熔丝技术的研究还处于起步阶段。反熔丝 FPGA 属于一次可编程器件, 不能重复编程, 无法像基于 SRAM 和 FLASH 的 FPGA 通过重复编程对电路进行测试验证, 目前国内对基于反熔丝的 FPGA 的测试研究很少。本文针对基于 $1.0\ \mu\text{m}$ 双层多晶双层金属 ONO 反熔丝工艺制造的 FPGA 进行了测试研究。从基于反熔丝的 FPGA 的典型结构着手, 分析了基于反熔丝的 FPGA 的 I/O 模块、可编程逻辑模块 (PLM)、可编程互连资源之间的关系, 讨论了基于反熔丝的 FPGA 的测试模

式, 提出了一种 ATE 和实装板相结合的测试方法, 基于此方法在芯片未编程状态下实现了对 FPGA 功能和电性能参数测试。

2 基于反熔丝的 FPGA

2.1 基于反熔丝的 FPGA 的典型结构

图 1 所示为基于反熔丝的 FPGA 的典型结构^[1-4]。芯片四周是 I/O 模块和编程调试模块, 内部是 PLM 组成的阵列以及可编程布线资源。I/O 模块提供了器件引脚和内部 PLM 之间的连接, 可以实现输入、输出、双向以及高阻功能。通过对 PLM 的配置可实现基本的逻辑单元, 比如 2 输入到 4 输入的 NAND、AND、OR、NOR、AND-ORs、OR-ANDs、D-latch 等功能, 通过两个 PLM 可以实现一个触发器, 逻辑单元通过可编程布线资源连接实现更大的逻辑模块。可编程布线资源为 PLM 之间、PLM 与 I/O 之间提供可编程的信号通路, 用户根据通过编

程,使需要连接的通路上的反熔丝开关导通,不需要连接的通路上的反熔丝开关保持断开状态.

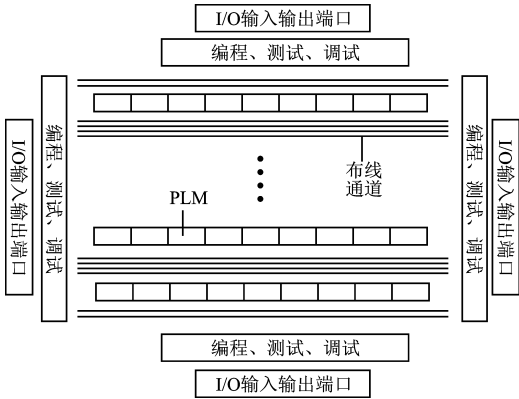


图 1 基于反熔丝的 FPGA 的典型结构

2.2 内部 PLM

图 2 为基于反熔丝的 FPGA 的内部典型 PLM 结构^[1-3]. PLM 是由三个 2 选 1 的多路开关和一个 2 输入的或非门组成的 8 个输入 1 个输出的电路. PLM 逻辑函数为式(1).

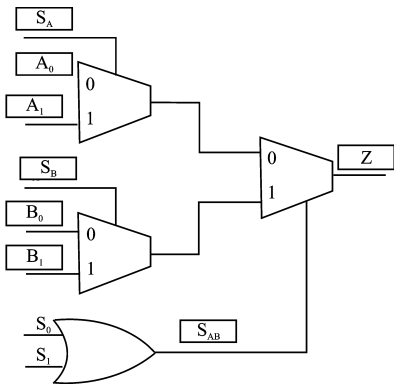


图 2 基于反熔丝的 FPGA 的内部典型 PLM

$$Z = \overline{S_{AB}} S_A A_0 + \overline{S_{AB}} S_{AA1} + S_{AB} \overline{S_B} B_0 + S_{AB} S_{BB1} \quad (1)$$

式中, + 表示“或”关系, S_{AB} 表达式为

$$S_{AB} = S_0 + S_1 \quad (2)$$

根据式(1)和(2),该 PLM 可以配置为 NAND、AND、OR、NOR、AND-ORs、OR-ANDs、D-latch 等功能,两个 PLM 可以实现一个触发器.

2.3 PLM 和布线资源

PLM 按行排列组成阵列,行与行之间是水平布线资源,垂直布线资源穿过逻辑功能模块与水平布线资源通过反熔丝单元相连(反熔丝未编程时是断开状态,施加电压编程后是低阻连接状态),两种布线资源将每个 PLM 之间和 I/O 之间互相连接起来构成各种复杂的功能系统. 图 3 给出了 PLM 和布

线资源的布局示意图^[2-4],通过两个交叉通路反熔丝逻辑模块 3 的输出与逻辑模块 2 和 4 的输入连接起来. 另外,将部分布线轨线分成小段,提高了布线资源的利用率和电路性能. 例如,通过两个交叉通路反熔丝和一个水平通路反熔丝将逻辑模块 3 的输出与逻辑模块 1 的输入连接起来.

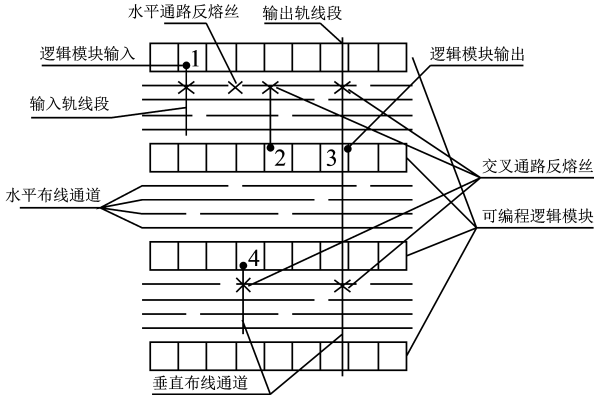


图 3 基于反熔丝的 FPGA 的内部布线资源

图 4 给出了基于反熔丝的 FPGA 的详细内部结构示意图^[2-4]. 6 个逻辑模块排列成 2 行和 3 列. 在行与行之间是 6 条水平轨线. 5 条垂直轨线穿过 PLM 与水平轨线通过反熔丝单元相连. 通过控制水平通路晶体管和垂直通路晶体管的通断,即使反熔丝未被编程,也可以将断开的水平轨线或者垂直轨线给连接起来,提供编程和测试的通路. 如果将某一反熔丝进行编程,必须建立高压编程通路,通过打开对应的垂直和水平通路晶体管,在需要编程的反熔丝一端加编程电压 V_{PP} ,另一端接地. 另外,在编程前将其他反熔丝单元两端的轨线端预先加 $V_{PP}/2$,使得编程时,这些反熔丝两端电压不会超过 $V_{PP}/2$,防止其他反熔丝被误编程.

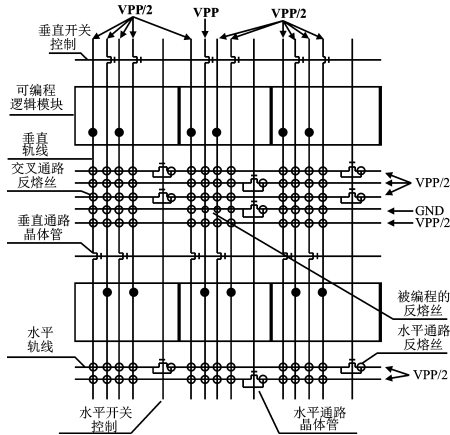


图 4 基于反熔丝的 FPGA 的详细内部结构示意图

3 基于反熔丝的 FPGA 测试方法

3.1 基于反熔丝的 FPGA 的测试模式分析

基于反熔丝的 FPGA 属于一次可编程器件,不能像基于 SRAM 和 FLASH 的 FPGA 通过重复编程对电路进行测试.但是可以利用芯片结构、内部布局布线结构、外围的编程和调试电路以及多功能引脚,从多功能输入引脚灌入测试码点,通过多功能输出引脚观测内部测试结果^[4-9].

表 1 给出了基于反熔丝的 FPGA 的典型引脚^[1].在测试时,将 MODE 引脚电位拉高,激活多能引脚,在 DCLK 端口输入测试时钟,SDI 端口灌入测试指令进入相应的测试模式,根据需要在对应的端口灌入测试数据后,观测测试结果.

表 1 基于反熔丝的 FPGA 典型引脚

引脚符号	引脚说明
I/O	普通用户可配置输入/输出引脚
CLK	全局硬布线时钟输入引脚
DCLK	调试和编程时钟引脚,可以配置成普通 I/O
SDI	调试和编程输入引脚,可以配置成普通 I/O
PRA	调试结果输出引脚,可以配置成普通 I/O
PRB	调试结果输出引脚,可以配置成普通 I/O
MODE	调试和编程模式使能
VCC	端口和内核电源
VPP	编程电源
GND	电路公共地

基于反熔丝的 FPGA 的测试主要是在芯片未编程情况实现芯片内部移位寄存器测试、布线轨线的开路 and 短路测试、布线轨线预充电保持能力测试、I/O 输入功能测试、PLM 功能测试、芯片 ID 读取、输出高低电平测试、静态电流测试、编程电路耐压测试、反熔丝单元短路测试、反熔丝应力测试、芯片可追溯信息编程.

(1)进入移位寄存器测试模式,将全 0,全 1,0 和 1 交替变化的数据分别在 DCLK 脉冲下进行上传和下载完成移位寄存器测试.

(2)进入布线轨线的开路测试模式,首先对布线轨线进行预充电,打开所有垂直通路晶体管或者水平通路晶体管,在布线轨线的一端用低电平驱动,如果轨线未开路,则在另一端可以读取到低电平,完成布线轨线开路测试.进入布线轨线的短路测试模式,

首先对所有布线轨线进行预充电,然后在其他所有布线轨线一端用低电平驱动,如果该布线轨线未与其他任何一根布线轨线短路,则在该布线轨线一端可以读取到高电平,否则是低电平.

(3)为了防止误编程,必须对布线通道进行预充电,在编程前使所有反熔丝两端预充电到 $VPP/2$ (VPP 是编程电压).进入布线轨线预充电保持能力测试模式,首先对所有布线轨线进行预充电,然后使布线轨线悬空一段时间(与反熔丝设定的编程脉冲宽度相等),在布线轨线的一端读取电平,如果是高电平,则说明预充电电压可以保持,完成布线轨线预充电保持能力测试.

(4)进入 I/O 输入功能测试模式,利用移位寄存器寻址某个 I/O 的输入缓冲器的内部输出节点,输出节点与反熔丝 FPGA 内部测试电路相连,测试电路的输出可以通过 PRA 或者 PRB 进行观测,在该 I/O 端口灌入一组信号,如果在 PRA 或者 PRB 观测到该信号,说明 I/O 输入功能正确,否则 I/O 输入功能失效,完成 I/O 输入功能测试

(5)进入 PLM 功能测试模式,利用移位寄存器寻址内部某个 PLM 的输出节点,输出节点与反熔丝 FPGA 内部测试电路相连,测试电路的输出可以通过 PRA 或者 PRB 进行观测,通过移位寄存器和垂直布线轨线对 PLM 的 8 个输入进行赋值,如果在 PRA 或者 PRB 可以观测到对应逻辑输入下的逻辑输出值,PLM 逻辑功能正确,否则 PLM 功能失效,完成 PLM 功能测试.

(6)芯片 ID 读取时,首先进入芯片 ID 读取模式,在 DCLK 脉冲下,读取芯片 ID,并且通过 PRA 端口进行观测.

(7)进入输出高低电平测试模式,利用移位寄存器和垂直布线轨线对 I/O 输出缓冲器进行赋值,在 I/O 端口观测功能是否正确,同时可以测试驱动能力和漏电.

(8)进入静态电流测试模式,将所有的输入端口赋值低电平或者高电平,观测 VDD 端口电流,完成静态电流测试.

(9)进入编程电路耐压测试模式,在 VPP 端口加($VPP+1\text{ V}$)的编程电压,利用移位寄存器配置使编程电路输出均为高电压(理论上为 $VPP+1\text{ V}$)或者均为低压(理论上为 0 V),这样垂直布线轨线和水平布线轨线驱动为高电压或者低电压,那么反熔丝两端偏置电压为 0 V .观测 VPP 端口电流 IPP,如果 IPP 未超过正常值,则编程电路耐压符合要

求,否则编程电路耐压不符合要求.编程电路负责将高压传递到反熔丝两端,完成反熔丝单元编程.如果编程电路在编程电压下漏电或者高压器件被击穿,则无法完成反熔丝单元编程,造成反熔丝 FPGA 编程失败.

(10)在电路出厂前,必须确保反熔丝单元未被编程(或者处于断开状态).进入反熔丝单元短路测试模式,首先对布线轨线进行预充电,用 0 V 电压驱动垂直布线轨线,如果水平轨线上读取到高电平,说明反熔丝单元未短路.

(11)反熔丝 FPGA 在电路编程时或者用户使用时,未编程的反熔丝两端可能需要承受一个电压偏置,必须确保在此类偏置下不漏电.比如在编程时,承受的电压偏置是编程电压一半 $V_{PP}/2$;在用户使用时,承受的偏置电压是 V_{DD} .一般 $V_{PP}/2$ 大于 V_{DD} ,所以反熔丝单元应力测试需要在该测试模式下,将反熔丝两端加载一个 $(V_{PP}/2+1\text{ V})$ 电压,观测 V_{PP} 端口电流,如果漏电流未超过正常值,则未编程反熔丝单元可以完成芯片编程和用户使用.

(12)通过对芯片内部的某些反熔丝单元进行编程,将诸如圆片信号、流片工艺等可追溯的信息编程,以便芯片后期维护.

3.2 测试实现

由于基于反熔丝的 FPGA 测试中有些测试需要电源提供复杂高压电压脉冲,常用的测试机实现困难,所以将需提供复杂高压电压脉冲的测试项通过实装板进行测试.

移位寄存器测试、布线轨线的开路 and 短路测试、布线轨线预充电保持能力测试、I/O 输入功能测试、PLM 功能测试、输出高低电平测试、静态电流测试、芯片 ID 读取,只需要提供稳定的 5 V 直流电源,采用 ATE 测试方案.图 5 为 ATE 测试方案的系统框图,其中测试板主要负责给反熔丝 FPGA 灌入不同的码点,测试机通过给测试板发送不同的信号,选择测试板灌入反熔丝 FPGA 的码点.

编程电路耐压测试、反熔丝单元短路测试、反熔丝应力测试、芯片可追溯信息编程等测试, V_{PP} 电源端口需要提供比较复杂的高压脉冲,采用实装板方案.在实装板上设计可灵活配置的电源模块,实现 V_{PP} 电源端口需求的诸如 V_{PP} 编程电压脉冲、预充电电压、普通 5 V 电压等脉冲.图 6 为实装板测试方案的系统框图.

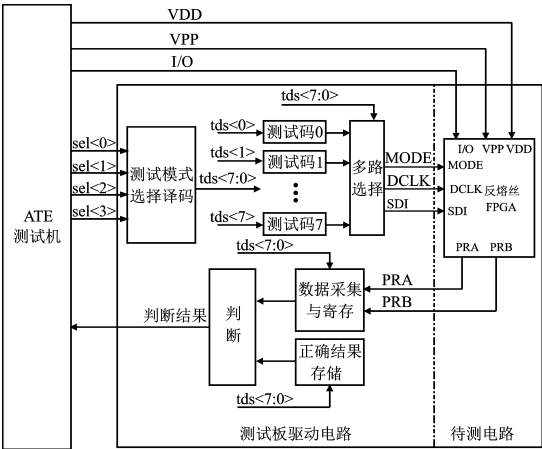


图 5 ATE 测试方案的系统框图

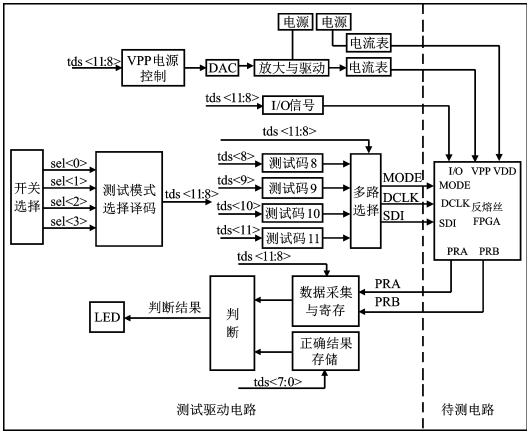


图 6 实装板测试方案的系统框图

4 测试结果

本文实验所用的电路是基于中微晶圆公司的 $1.0\text{ }\mu\text{m}$ 双层多晶双层金属 ONO 反熔丝工艺设计的一款 1 200 门的 FPGA,表 2 给出了器件的主要特性. ATE 采用的是 HILEVEL 公司的 G150, ATE 测试系统上的测试板和实装板上的主控芯片采用 EP2C20Q240C8N. EP2C20Q240C8N 可以通过 Quartus-2 集成软件中的在线逻辑分析仪 Signal tap 进行联合调试. 在线逻辑分析仪 Signal tap 通过 JTAG 端口,在线、实时地读出内部信号,可以快速有效地实现故障定位. 另外,利用 Agilent6000 系列

表 2 器件主要特性

工艺	1.0 μm 双层多晶双层金属 ONO 反熔丝
反熔丝单元	ONO 反熔丝
芯片尺寸	6 688.2 $\mu\text{m}\times 4\text{ }430.5\text{ }\mu\text{m}$
栅氧厚度	125Å/260Å
电源	$V_{DD}=5\pm 0.5\text{ V}$

型号为 MSO6032 的示波器,对电路 MODE、PRA、SDI、DCLK 以及 VPP 等端口进行信号采集分析.图 7 给出了利用实装板对芯片可追溯信息进行读取的过程,MODE 端口信号由低拉高后,在 DCLK 脉冲下,从 SDI 端口输入串行数据进入某个芯片信息读取测试模式,通过 PRA 端口可以观测内部寄存器的输出信息,从图 7 可以看出 PRA 端口在 DCLK 第 21 个脉冲下降沿有一个低电平信号,说明对应的反熔丝是连通的,该反熔丝位置存储了相应的芯片信息.以上测试结果说明,采用该测试方法可以有效地对基于反熔丝的 FPGA 进行测试.

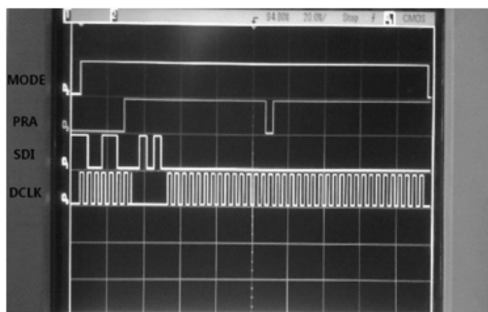


图 7 芯片可追溯信息编程与读取

5 结束语

本文对基于反熔丝的 FPGA 的测试进行了研究.在分析了基于反熔丝的 FPGA 的典型结构及其内部 I/O 模块、可编程逻辑模块(PLM)、可编程互连资源之间的关系后,从反熔丝 FPGA 的测试需求给出了基于反熔丝的 FPGA 的 12 种测试模式,根据此 12 种测试模式从实际情况出发提出了一种 ATE 和实装板相结合的测试方法,测试结果表明,该测试方法在芯片未编程状态下,实现了对 1 200 门级的基于反熔丝的 FPGA 功能和电性能参数测试,为研究更大规模的基于反熔丝的 FPGA 测试奠定了基础.当然,为了实现更大规模的基于反熔丝的 FPGA 的测试还有很多工作要做.一方面需要将实装板与 ATE 测试系统整合到一起,实现完全自动

化的测试,提高测试效率.另一方面还需要建立一个基于反熔丝的 FPGA 自动化测试平台,根据不同规模和型号的 FPGA 选择对应的测试程序,这样可以满足基于反熔丝的 FPGA 大部分情况下的测试需求.

参考文献:

- [1] Actel Corporation. ACT 1 series FPGAs[EB/OL]. [2016-04-20]. (1996). http://www.actel.com/documents/ACT1_DS.pdf.
- [2] 钱海涛,李威,张大华,等.反熔丝 FPGA 配置算法与软件实现[J]. 微电子学与计算机, 2013, 30(4): 63-66.
- [3] 杨海钢,孙嘉斌,王慰,等. FPGA 器件设计技术发展综述[J]. 电子与信息学报, 2010, 32(3): 714-727.
- [4] Actel Corporation. Testing and Burn-in of Actel FPGAs[EB/OL]. [2016-04-20](2003-4). <http://www.actel.com>.
- [5] Actel Corporation. Post-Programming Burn-In for Actel RT54SX-S and SX-A FPGAs[EB/OL]. [2016-04-20] (2003-3). http://www.microsemi.com/document-portal/doc_download/130000-ac172-post-programming-burn-in-pbpi-for-actel-rt54sx-s-and-sx-a-fpgas-app-note.
- [6] 张旭,马金龙,胡凯,等.反熔丝型 FPGA 编程方法的研究[J]. 微电子学, 2011, 41(6): 856-859.
- [7] Inoue T, Miyazaki S, Fujiwara H, et al. Universal fault diagnosis for lookup table FPGA [J]. IEEE Design Test Comput, 1998, 15(1-3): 39-44.
- [8] Huang W k, Meyer F J, Chen X-T, et al. Testing configurable LUT - based FPGAs [J]. IEEE Trans VLSI Syst, 1998, 6(7): 276-283.
- [9] 张凯虹. 一种 FPGA 验证与测试方法介绍[J]. 计算机与数字工程, 2010, 38(9): 70-72.

作者简介:

马金龙 男, (1982-), 硕士, 工程师. 研究方向为数字集成电路设计和测试. E-mail: njujlma@126.com.